



Docket No.: W&B-INF-1947

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Alexandria, VA 22313 20231.

By: 

Date: October 24, 2003

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applic. No. : 10/675,494
Applicant : Andreas Felber et al.
Filed : September 30, 2003
Art Unit : to be assigned
Examiner : to be assigned

Docket No. : W&B-INF-1947
Customer No.: 24131

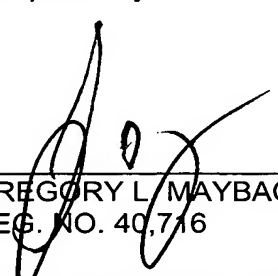
CLAIM FOR PRIORITY

Hon. Commissioner for Patents,
Alexandria, VA 22313-1450
Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 102 45 541.4 filed September 30, 2002 and German Patent Application 102 48 373.6 filed October 17, 2002.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,



GREGORY L. MAYBACK
REG. NO. 40,716

Date: October 24, 2003

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/mjb



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 45 541.4

Anmeldetag: 30. September 2002

Anmelder/Inhaber: Infineon Technologies AG,
München/DE

Bezeichnung: Teststruktur zum Bestimmen eines Kurzschlusses
zwischen Grabenkondensatoren in einem Speicher-
zellenfeld

IPC: G 11 C 29/00

**Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ur-
sprünglichen Unterlagen dieser Patentanmeldung.**

München, den 02. Oktober 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag



Beschreibung

Teststruktur zum Bestimmen eines Kurzschlusses zwischen Grabenkondensatoren in einem Speicherzellenfeld

5

Die Erfindung betrifft eine Teststruktur zum Bestimmen eines Kurzschlusses zwischen Grabenkondensatoren in einem Speicherzellenfeld, wobei die Grabenkondensatoren matrixförmig angeordnet sind.

10

Halbleiterspeicher, insbesondere dynamische Halbleiterspeicher mit wahlfreiem Zugriff (DRAM) setzen sich aus einer Matrix von Speicherzellen zusammen, die in Form von Zeilen über Wortleitungen und Spalten über Bitleitungen verschaltet sind.

15

Das Auslesen der Daten aus den Speicherzellen oder das Schreiben der Daten in die Speicherzellen wird durch Aktivierung geeigneter Wort- und Bitleitungen bewerkstelligt. Eine dynamische Speicherzelle enthält im Allgemeinen einen Auswahltransistor und einen Speicherkondensator, wobei der Auswahltransistor üblicherweise als horizontal ausgelegter Feldeffekttransistor ausgestaltet ist und zwei Diffusionsbereiche umfasst, welche durch einen Kanal getrennt sind, oberhalb dessen eine Steuerelektrode, ein sogenanntes Gate, angeordnet ist. Das Gate ist wiederum mit einer Wortleitung verbunden.

25

Einer der Diffusionsbereiche des Auswahltransistors ist an eine Bitleitung und der andere Diffusionsbereich an den Speicherkondensator angeschlossen. Durch Anlegen einer geeigneten Spannung über die Wortleitung an das Gate schaltet der Auswahltransistor durch und ermöglicht einen Stromfluss zwischen den Diffusionsgebieten, um den Speicherkondensator über die angeschlossene Bitleitung zu laden.

30

35

Zielsetzung bei der DRAM-Speicher-Entwicklung ist es, eine möglichst hohe Ausbeute von Speicherzellen mit guter Funktionalität bei zusätzlich minimaler Chipgröße zu erreichen. Das fortlaufende Bestreben, die DRAM-Speicherzellen zu verkleinern, hat zum Entwurf von Speicherzellen geführt, bei denen

insbesondere der Speicherkondensator die dritte Dimension nutzt. Ein dreidimensionales Speicherkondensatorkonzept sind Grabenkondensatoren, bestehend aus einem in das Halbleiter-substrat geätzten Graben, der mit einem hochleitfähigen Material gefüllt ist, welcher als innere Kondensatorelektrode dient. Die äußere Kondensatorelektrode ist dagegen im Allgemeinen im Substrat als Diffusionsgebiet vergraben ausgebildet, wobei diese äußere Kondensatorelektrode über eine weitere vergraben ausgebildete Schicht im Halbleitersubstrat, eine sogenannte Buried Plate, ankontaktiert ist. Die elektrische Verbindung zwischen dem Diffusionsgebiet des Auswahltransistors und der inneren Kondensatorelektrode des Grabenkondensators in einer Speicherzelle erfolgt im oberen Grabenbereich durch einen üblicherweise als Diffusionsgebiet ausgebildeten Elektrodenanschluss, dem sogenannten Buried Strap.

Um die Chipgröße so klein wie möglich zu halten und gleichzeitig für eine ausreichende Speicherkapazität, die ein genügend großes Lesesignal gewährleistet, zu sorgen, werden die Grabenkondensatoren mit zunehmend tieferen Gräben hergestellt, wobei Aspektverhältnisse, d.h. Breiten- zu Tiefenverhältnisse von bis zu 1 : 10 ausgeführt werden. Weiterhin werden die Grabenkondensatoren der Speicherzellen, die den wesentlichen Teil des Speicherchips ausfüllen, immer dichter gepackt, um die von den einzelnen Speicherzellen benötigte Fläche weiter zu verringern. DRAM-Speicherchips werden üblicherweise mit Hilfe der Planartechnik realisiert, wobei die Gräben der Grabenkondensatoren vorzugsweise mithilfe einer anisotropen Ätzung erzeugt werden. Durch die Forderung, die Gräben immer tiefer auszuführen bei gleichzeitig verringertem Abstand zwischen den Gräben besteht die Gefahr, dass sich eine Verbindung zwischen zwei benachbarten Gräben aufgrund eines nicht exakt senkrechten Ätzvorgangs ergibt, was zu einem Kurzschluss zwischen den benachbarten Speicherzellen führen kann. Solche ungewünschten Kurzschlüsse zwischen benachbarten Speicherzellen konnten bisher erst im Rahmen einer Fehleranalyse im Backend, d.h. nach Beendigung des gesamten aufwändi-

gen und teuren Herstellungsprozesses mit ca. 500 Einzelschritten festgestellt werden.

5 Aufgabe der Erfindung ist es, eine Teststruktur für ein Speicherzellenfeld mit matrixförmig angeordneten Grabenkondensatoren bereitzustellen, die ein Detektieren von Kurzschlüssen zwischen Grabenkondensatoren bereits kurz nach der Herstellung der Grabenkondensatoren im Frontend ermöglicht.

10 Diese Aufgabe wird erfindungsgemäß mit einer Teststruktur gemäß Anspruch 1 gelöst. Bevorzugte Weiterbildungen sind in den abhängigen Ansprüchen angegeben.

15 Gemäß der Erfindung sind bei einer Teststruktur zum Bestimmen eines Kurzschlusses zwischen Grabenkondensatoren in einem Speicherzellenfeld, bei dem die Grabenkondensatoren matrixförmig angeordnet sind, die Grabenkondensatoren von zwei Reihen von Grabenkondensatoren jeweils durch Tunnel- und/oder Brückenstrukturen miteinander verbunden, wobei an jedem Endabschnitt der Grabenkondensatorreihe eine Kontaktfläche zum Ankontaktieren vorgesehen ist.

25 Die erfindungsgemäße Teststruktur ermöglicht auf einfache Weise Kurzschlüsse in Grabenkondensatoren bereits nach dem Ausbilden und Auffüllen der Grabenkondensatoren, also im Frontendbereich festzustellen. Die Teststruktur lässt sich darüber hinaus auf einfache Weise durch eine Funktionserweiterung der bereits üblicherweise im Frontendbereich vorgesehenen Teststrukturen realisieren.

30

Gemäß einer bevorzugten Ausführungsform ist die Teststruktur mit den beiden miteinander verbundenen Reihen von Grabenkondensatoren innerhalb einer regulären Grabenkondensatormatrix ausgeführt. Da die Teststruktur wie die reguläre Speicherzellenstruktur in der Regel mithilfe der Planartechnik, die aus einer Abfolge von Lithographieprozessen besteht, hergestellt wird, wird durch die Einbettung der Teststruktur in ein re-

35

gelmässiges Matrixfeld gewährleistet, das die Grabenkondensatoren der Teststruktur den regulären Grabenkondensatoren der Speicherzellenmatrix entsprechen, da die Teststruktur bei den einzelnen Lithographieschritten die gleiche Umgebung wie die reguläre Grabenkondensatormatrix besitzt. Hierdurch wird die Zuverlässigkeit und Aussagekraft der Testmessung wesentlich verbessert.

Gemäß einer weiteren bevorzugten Ausführungsform ist zwischen den beiden Reihen von miteinander verbundenen Grabenkondensatoren der Teststruktur zusätzlich eine weitere Reihe von nicht miteinander verbundenen Grabenkondensatoren vorgesehen. Durch diese Ausgestaltung wird gewährleistet, dass nicht nur Kurzschlüsse festgestellt werden, die aufgrund der Teststrukturprozessierung entstehen, sondern nur solche, die sich auch im Rahmen der regulären Grabenkondensatorprozessierung ergeben.

Die Erfindung wird anhand der beigefügten Zeichnungen näher erläutert. Es zeigen:

Fig. 1A und 1B Querschnitt durch eine Halbleiterscheibe nach verschiedenen Prozessschritten zur Ausbildung der Grabenkondensatoren, und

Fig. 2 eine erfindungsgemäße Teststruktur mit einer Matrixanordnung von Grabenkondensatoren in einer Aufsicht.

Die Erfindung wird am Beispiel einer Grabenkondensatoranordnung, wie sie im Rahmen von DRAM-Speicherzellen verwendet werden, erläutert. Die Ausbildung der einzelnen Strukturen im Rahmen der Speicherchip-Herstellung erfolgt vorzugsweise mit Hilfe der Silizium-Planartechnik, die aus einer Abfolge jeweils ganzflächig an der Oberfläche einer Silizium-Halbleiterscheibe wirkenden Einzelprozessen besteht, wobei über geeignete Maskierungsschritte gezielt eine lokale Verän-

derung des Silizium-Substrats durchgeführt wird. Im Rahmen der Planartechnik wird dabei gleichzeitig eine Vielzahl von Strukturen ausgebildet. Im folgenden wird kurz ein mögliches Verfahren zum Erzeugen von Grabenkondensatoren im Rahmen einer DRAM-Speicherzellenanordnung anhand Figur 1 erläutert.

Auf einer von Verunreinigungen befreiten Siliziumscheibe 1, die in der Regel bereits verschiedene Strukturierungsprozesse (Struktur nicht gezeigt) durchlaufen hat, wird eine Maskierungsschicht 2, z.B. eine $\text{SiO}_2/\text{Si}_3\text{N}_4/\text{SiO}_2$ -Schichtenfolge, abgeschieden. Anschließend wird vorzugsweise mithilfe der bekannten Fotolithographietechnik die Grabenkondensatorstruktur festgelegt. Hierzu wird eine lichtempfindliche Schicht auf die Maskierungsschicht 2 aufgebracht und mithilfe einer Maske, die die Struktur einer Entwurfsebene der auszubildenden Grabenkondensatoren aufweist, belichtet. Nach dem Entwickeln, d.h. dem Entfernen des belichteten Fotolackes, wird mithilfe einer anisotropen Ätzung die Maskierungsschicht 2 geätzt, um eine Ätzmaske für die anschließend durchgeführte Grabenätzung zu erzeugen. Nach dem Beseitigen der verbleibenden Fotolackmaske wird dann die Grabenätzung durchgeführt. Hierzu wird das Silizium mithilfe der strukturierten Ätzmaske anisotrop bis zu einer Tiefe von ca. 5 μm bei einer Strukturbreite von ca. 0,5 μm geätzt.

Figur 1A zeigt einen Querschnitt durch die Siliziumscheibe nach der Ätzung der Gräben 3. Dabei werden, wie dargestellt, bevorzugt zumindest zwei Gräben eng benachbart ausgebildet, in die jeweils seitlich anschließend dann die vorzugsweise planar ausgebildeten Auswahltransistoren der Speicherzellen angeordnet werden. Durch die eng benachbarte Anordnung der beiden Gräben können sich ungewünschte Verbindungen zwischen den Gräben bilden, wenn der Ätzvorgang aufgrund von Prozessschwankungen bzw. Materialfehlern nicht vollständig anisotrop abläuft und somit keine exakt senkrechten Gräben entstehen. Solche Ätzbrücken zwischen benachbarten Gräben können dann im Laufe des weiteren Herstellungsprozesses zu Kurzschlüssen

zwischen den inneren Kondensatorelektroden und damit zu Kurzschlüssen zwischen benachbarten Speicherzellen führen.

Figur 1B zeigt einen Querschnitt durch die Siliziumscheibe in
5 einem späteren Prozessstadium mit vollständig ausgebildeten
Grabenkondensatoren. Die Grabenkondensatoren sind dann mit
einer hochdotierten Schicht, vorzugsweise Polysilizium, auf-
gefüllt, die als innere Kondensatorelektrode 31 dient. Die
10 äußere Kondensatorelektrode 32 ist ein hochdotiertes Diffusi-
onsgebiet im unteren Grabenbereich um die innere Kondensator-
elektrode herum ausgebildet. Die Erzeugung dieser äußeren
Kondensatorelektrode 33 kann beispielsweise durch thermische
Ausdiffusion einer hochdotierten Schicht aus dem Graben her-
aus erfolgen. Die äußere Kondensatorelektrode 32 ist durch
15 eine Dielektrikumschicht 33 von der inneren Kondensatorelekt-
rode 31 im Graben getrennt.

Im oberen Grabenbereich schließt sich an die Dielektrikum-
schicht 33 ein Isolationskragen an. Weiterhin ist im oberen
20 Grabenbereich jeweils nach einer Grabenseite hin ein Elektro-
denanschluss 34, ein sogenannter Buried-Strap, mit dem die
innere Kondensatorelektrode 31 an den später ausgebildeten
planaren Auswahltransistor der Speicherzelle angeschlossen
werden kann, vorgesehen. Der Bereich der Grabenkondensatoren
5 ist darüber hinaus mit einer Isolationsschicht 35, vorzugs-
weise SiO_2 , abgedeckt.

Kurzschlüsse zwischen den inneren Kondensatorelektroden 31
benachbarter Grabenkondensatoren konnten bisher erst im
30 Backend, d.h. nach Abschluss des gesamten Speicherchip-
Herstellungsprozesses festgestellt werden. Durch die Erfin-
dung ist es möglich, bereits im Frontend, also direkt nach
der Herstellung der Grabenkondensatoren und vor der weiteren
Prozessierung des Speicherchips solche Kurzschlüsse zwischen
35 den inneren Kondensatorelektroden der Grabenkondensatoren zu
ermitteln. Dieser erlaubt es, fehlerhafte Wafer bereits in
diesem frühen Stadium aus dem Waferprozess zu entfernen und

damit aufwändige und teure weitere Prozessschritte zu vermeiden.

Figur 2 zeigt eine mögliche erfindungsgemäße Teststruktur zum Bestimmen von Kurzschlüssen zwischen Grabenkondensatoren in einem Speicherzellenfeld. Die Teststruktur ist vorzugsweise im Kerfbereich, d.h. im Zwischenbereich zwischen zwei DRAM-Chips auf einem Wafer ausgebildet. Die erfindungsgemäßen Teststruktur weist, wie die Draufsicht in Figur 2 weiter zeigt, ein Grabenkondensatorfeld in einer Matrixanordnung auf, das die der regulären Matrixstruktur der Grabenkondensatoren im DRAM-Speicherzellenfeld entspricht. In der gezeigten Ausführungsform sind die Grabenkondensatoren 3 in nebeneinanderliegenden Reihen von Grabenkondensatoren mit jeweils rechteckiger Grundfläche angeordnet sind, wobei zwei benachbarte Reihen von Grabenkondensatoren jeweils parallel ausgebildet, die Doppelreihen jedoch gegeneinander versetzt angeordnet sind.

In einem mittleren Bereich des Grabenkondensatorfeldes sind, wie in Figur 2 gezeigt ist, die Grabenkondensatoren von zwei Reihen 3a, 3b von Grabenkondensatoren jeweils durch Tunnel- oder Brückenstrukturen bzw. eine Kombination von Tunnel- oder Brückenstrukturen miteinander verbunden. Die Verbindung der Grabenkondensatoren sorgt dafür, dass die inneren Kondensatorelektroden der Grabenkondensatoren in Reihe geschaltet sind. Die beiden Reihen von zusammengeschlossenen Grabenkondensatoren 3a, 3b sind in ihrem Endbereich über vier Verbindungsleitungen 4a, 4b, 4c, 4d an vier große Kontaktflächen 5a, 5b, 5c, 5d angeschlossen, die sich leicht über Nadeln einer Testnadelkarte ankontaktieren lassen.

Zum Test wird über solche Nadeln ein Stromfluss auf eine Reihe von zusammengeschlossenen Grabenkondensatoren, wie z.B. die Grabenkondensatorreihe 3a, aufgeprägt, um dann über die weiteren Nadeln festzustellen, ob auch in der anderen Grabenkondensatorreihe 3b ein Stromfluss auftritt. Ein solcher

Stromfluss weist auf einen Kurzschluss zwischen den zwei benachbarten Reihen von Grabenkondensatoren hin. In der gezeigten Ausführungsform ist zwischen den beiden zusammengeschlossenen Reihen von Grabenkondensatoren 3a, 3b eine weitere Doppelreihe von jeweils nicht miteinander verbundenen Grabenkondensatoren vorgesehen. Bei der Testmessung wird so festgestellt, ob ein Kurzschluss über diese Doppelreihe von Grabenkondensatoren hinweg erfolgt. Das Vorsehen von solchen nicht verbundenen Grabenkondensatorenreihen zwischen den miteinander verbundenen Grabenkondensatorenreihen 3a, 3b vereinfacht die Ausbildung der Teststruktur. Prinzipiell kann jedoch die Teststruktur auch ohne zwischengeschaltete, nicht miteinander verbundene Reihen von Grabenkondensatoren ausgeführt werden.

Patentansprüche

1. Teststruktur zum Bestimmen eines Kurzschlusses zwischen Grabenkondensatoren in einem Speicherzellenfeld, wobei die Grabenkondensatoren matrixförmig angeordnet sind,
5 dadurch gekennzeichnet, dass bei zwei Reihen von Grabenkondensatoren die Grabenkondensatoren jeder Reihe durch Tunnelstrukturen oder/und Brückenstrukturen miteinander verbunden sind, wobei an jedem Endabschnitt
10 einer Grabenkondensatorenreihe eine Kontaktfläche zum Ankontaktieren vorgesehen ist.
2. Teststruktur nach Anspruch 1, dadurch gekennzeichnet, dass die beiden Reihen von miteinander verbundenen Grabenkondensatoren innerhalb eines regulären Grabenkondensatormatrix
15 ausgeführt sind.
3. Teststruktur nach Anspruch 1 oder 2 , dadurch gekennzeichnet, dass zwischen den beiden Reihen von miteinander
20 verbundenen Grabenkondensatoren wenigstens eine weitere Reihe von nicht verbundenen Grabenkondensatoren vorgesehen ist.

Zusammenfassung

Teststruktur zum Bestimmen eines Kurzschlusses zwischen Grabenkondensatoren in einem Speicherzellenfeld

5

Eine Teststruktur zum Bestimmen eines Kurzschlusses zwischen Grabenkondensatoren in einem Speicherzellenfeld, wobei die Grabenkondensatoren matrixförmig angeordnet sind, weist bei zwei Reihen von Grabenkondensatoren eine Verbindung der Grabenkondensatoren jeder Reihe durch Tunnelstrukturen oder/und Brückenstrukturen auf, wobei an jedem Endabschnitt einer Grabenkondensatorenreihe eine Kontaktfläche zum Ankontaktieren vorgesehen ist.

10

15 Fig. 2

Fig. 2

Figur für die
Zusammenfassung

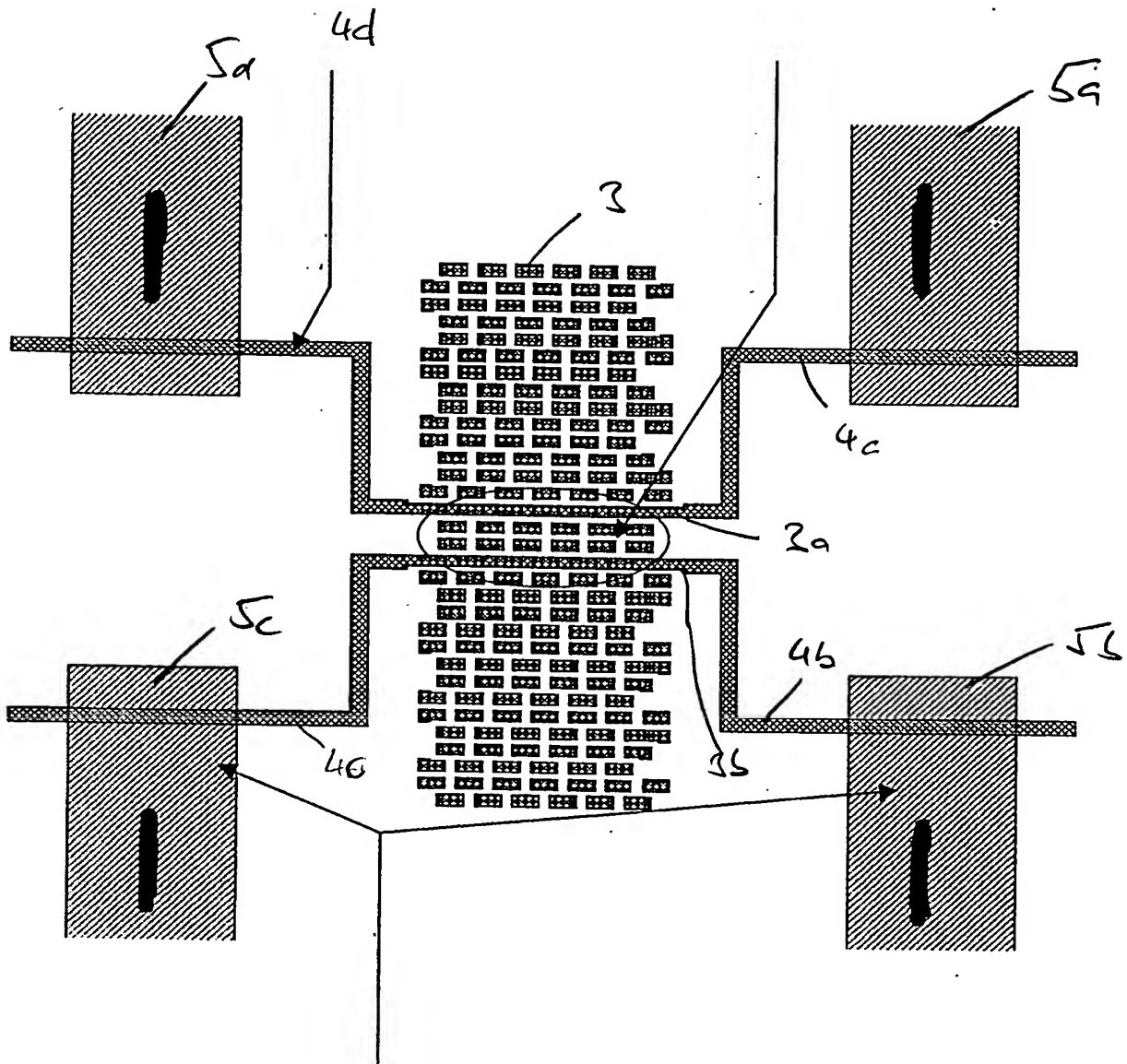


Fig. 1A

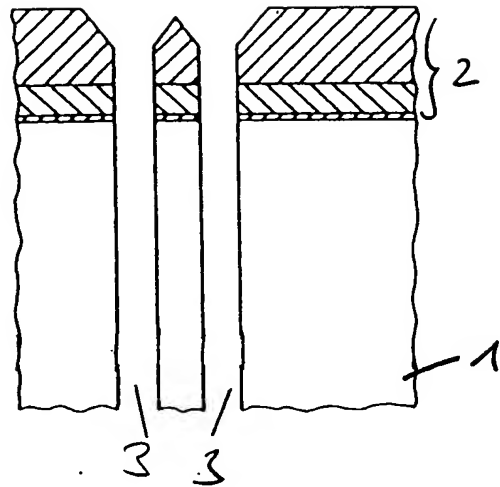


Fig. 1B

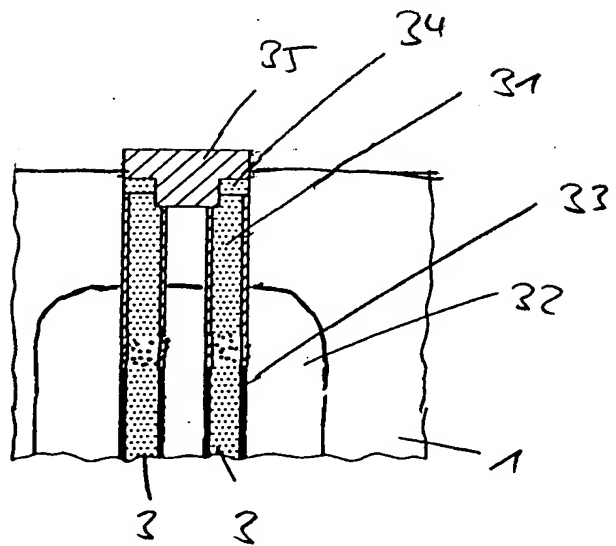


Fig. 2

2/2

